

JP,06-061828,A

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The output circuit characterized by having the 1st, 2nd, and 3rd switching elements each other connected to the serial between the DC power supplies from which an electrical-potential-difference value differs, and the output terminal connected with said 1st [the] at the node of the 2nd switching element.

[Claim 2] The output circuit characterized by having the 1st, 2nd, and 3rd switching elements each other connected to the serial between the DC power supplies from which an electrical-potential-difference value differs, the output terminal connected with said 1st [the] at the node of the 2nd switching element, and two or more switching elements which are connected to said 3rd switching element and juxtaposition, and are operated by other signals for output circuit actuation.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the output circuit which is used for an output circuit, for example, semiconductor memory, and oppresses an output ringing.

[0002]

[Description of the Prior Art] Drawing 3 is the circuit diagram showing the conventional output circuit. Such an output circuit is used for the intersection of for example, line Rhine and train Rhine as an output circuit of the semiconductor memory which has the memory cell array by which the memory cell has been arranged in the shape of a matrix. In drawing, 1 is the MOS transistor of the 1st switching element, for example, n mold, the drain is connected to DC power supply Vcc, and it connects with the memory cell (not shown) which the gate mentioned above, and the source is connected to the output terminal Q11. 2 is the MOS transistor of the 2nd switching element arrow flare n mold connected with the 1st transistor 1 at the serial, the drain is connected to an output terminal Q11, and the gate is connected to a memory cell through an inverter 3, and the source is connected to other DC power supplies Vss.

[0003] Next, actuation is explained. In outputting the "H (yes)" level signal to an output terminal Q11 in response to the signal FSI11 from a corresponding memory cell, a signal FSI11 is set to "H" level. The 1st transistor 1 serves as ON, an electrical potential difference is supplied by this from Vcc, and "H" level signal is outputted to an output terminal Q11. However, since a signal

FSI11 is reversed by the signal IFSI11 of "L (low)" level with an inverter 3, the 2nd transistor 2 is off ****.

[0004] In outputting the "L" level signal to an output terminal Q11, when a signal FSI11 is set to "L" level, a signal IFSI11 is set to "H" level. The 2nd transistor 2 serves as ON, the electrical potential difference of an output terminal Q11 falls out to Vss, and the "L" level signal is outputted to an output terminal Q11 by this. In addition, the 1st transistor 1 is off in this case.

[0005] As a trouble of the output circuit of semiconductor memory of having the semiconductor memory, i.e., eight pieces, 16 pieces, and that output terminal, formed into many output terminals, it has the influence of the noise between output terminals. Drawing 4 is the wave form chart showing an example of an output wave in all the output terminals and one output terminal in the output circuit of the semiconductor memory formed into many output terminals. For example, when an output changes from H" level to "L" level, the case (a broken line shows) where only the output of one output terminal changes differs in the rate converged on "L" level from the case (a continuous line shows) where the output of all output terminals changes. Even if it is going to draw out an electrical potential difference at once, Vss level comes floating, and since Vss of an output is common to each output terminal when the output of all output terminals changes from H" level to coincidence at "L" level, before drawing out completely, it will take time amount. moreover, the output of only one output terminal -- " -- since it becomes easy to draw out an electrical potential difference to Vss in changing from H" level to "L" level (in this case, Vss level -- coming floating -- not shown since it is very small), delay of a lifting and the access time will be caused for output ringings, such as reflection.

[0006]

[Problem(s) to be Solved by the Invention] Since the conventional output circuit was constituted as mentioned above, it had troubles, such as lifting-coming to be easy of the output ringing by the combination of an output terminal, in the output circuit formed into many output terminals.

[0007] This invention was made in order to solve such a trouble, and it aims at obtaining the output circuit which can oppress an output ringing.

[0008]

[Means for Solving the Problem] The output circuit concerning claim 1 of this invention prepares the 1st, 2nd, and 3rd switching elements each other connected to the serial between the DC power supplies from which an electrical-potential-difference value differs, and the output terminal connected with said 1st [the] at the node of the 2nd switching element. Moreover, it connects with the 3rd switching element and juxtaposition, and the output circuit concerning claim 2 of this invention prepares two or more switching elements operated by other signals for output circuit actuation.

[0009]

[Function] In this invention, falling to "L" level consists of H" level slowly by resistance of the 3rd switching element, and a ringing is oppressed. Moreover, since two or more switching elements increase the system way drawn out to Vss, it makes it possible it not only to oppress an output ringing, but to draw out on "L" level by short time amount.

[0010]

[Example] Example 1. drawing 1 is the circuit diagram showing one example of this invention. In drawing, 1-3, and Q11, Vcc and Vss are completely the same as the thing explaining drawing 3. 4 is the MOS transistor of the 3rd switching element arrow flare n mold connected with the 2nd transistor 2 at the serial, the drain is connected to the source of the 2nd transistor 2, and the gate is connected to a memory cell through an inverter 3, and the source is connected to Vss. 4-1,

4-2, and 4-3 are two or more switching elements, for example, the MOS transistor of n mold, turned ON, respectively by the signals IFSI12, IFSI21, and IFSI22 which turn ON the 2nd transistor 2 which was connected to the 3rd transistor 4 and juxtaposition and was connected to other matrix-like output terminals Q12, Q21, and Q22 (not shown), respectively.

[0011] Next, actuation is explained. Since the 3rd transistor 4 was connected with the 2nd transistor 2 between Vss(es) and the resistance increased when one output terminal, Q11 [for example,], changed from the condition which has all the output terminals Q11, Q12, Q21, and Q22 in "H" level to "L" level, as compared with the conventional output circuit, falling to ""L" level consists of H" level slowly. For this reason, the output ringing by reflection etc. can be oppressed.

[0012] Moreover, since the 3rd transistor 4 and two or more transistors 4-1 to 4-3 connected to juxtaposition increased the system way which draws out the electrical potential difference of an output terminal Q11 to Vss when all output terminals changed from H" level to coincidence at ""L" level, it is set to "L" level by time amount shorter than the conventional output circuit.

[0013] Drawing 2 is the output wave form chart of one example of this invention. As mentioned above, it turns out that the rate in case the output of all output terminals changes to coincidence at ""L" level from H" level, and the rate in case the output of only one output terminal changes from H" level to ""L" level are almost the same.

[0014] Although the MOS transistor of n mold was used in the example 2. example 1 as switching elements 1, 2, and 4 and 4-1 to 4-3, if the polarity of DC power supply or a signal is made reverse, the MOS transistor of P type can also be used.

[0015] Example 3. and also a switching element may use a thyristor etc., without restricting to a transistor.

[0016]

[Effect of the Invention] As mentioned above, since invention of claim 1 is equipped with the 1st, 2nd, and 3rd switching elements each other connected to the serial between the DC power supplies from which an electrical-potential-difference value differs, and the output terminal connected with said 1st [the] at the node of the 2nd switching element, it does so the effectiveness that the output ringing by the combination of two or more output terminals can be oppressed. In addition, since invention of claim 2 is equipped with two or more switching elements which are connected to the 3rd switching element and juxtaposition and are operated by other signals for output circuit actuation, it can be drawn out on "L" level by time amount shorter than before, and does so the effectiveness that delay of access is also cancelable.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing one example of this invention.

[Drawing 2] It is the wave form chart for explanation of operation of one example of this invention.

[Drawing 3] It is the circuit diagram showing the conventional output circuit.

[Drawing 4] It is the wave form chart for explanation of operation of the conventional output circuit.

[Description of Notations]

1 1st Switching Element

2 2nd Switching Element

4 3rd Switching Element

4-1 to 4-3 Two or more switching elements

Q11 Output terminal

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061828

(43)Date of publication of application : 04.03.1994

(51)Int.Cl.

H03K 17/687

H03K 17/16

(21)Application number : 04-216186

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.08.1992

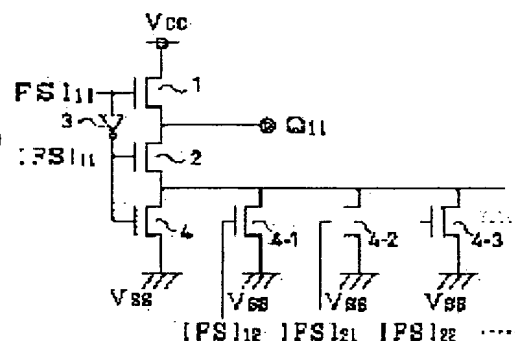
(72)Inventor : ISHIKAWA MASAHIKO
OGAWA TOSHIYUKI

(54) OUTPUT CIRCUIT

(57)Abstract:

PURPOSE: To obtain an output circuit suppressing output ringing by providing 1st-3rd switching elements connected in series between DC power supplies having different voltages to the circuit and providing an output terminal to a connecting point between the 1st and 2nd switching elements.

CONSTITUTION: N-channel MOS transistors(TRs) 4-1, 4-2... are switching elements which are connected in parallel with a 3rd TR4 and turned on respectively by signals IFSI12, IFSI21, IFSI22 turning on a 2nd TR2 connecting respectively to other output terminals Q12, Q21, Q22 in a matrix shape. When one output terminal Q11 only changes to an L level from the state that all output terminals Q11, Q12, Q21, Q22 are at an H level, the TR 4 is connected between the TR 2 and a DC power supply VSS, the resistance is increased and the falling slows down. Thus, output ringing due to reflection or the like is suppressed. Furthermore, when all the terminals change from H to L level, since number of paths to extract the voltage at the output terminal Q11 to the voltage VSS by the TRs 4-1-4-3 connected in parallel with the TR 4 is increased, the output terminals go to an L level in a shorter time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-61828

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 3 K 17/687				
17/16	H	9184-5 J		
		8221-5 J	H 0 3 K 17/ 687	F

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-216186

(22)出願日 平成4年(1992)8月13日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 石川 昌彦

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

(72)発明者 小川 俊行

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

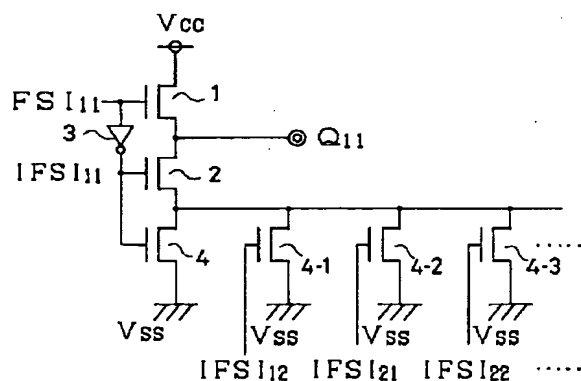
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 出力回路

(57)【要約】

【目的】 出力リングングを抑圧する出力回路を得る。

【構成】 直流電源V_{CC}、V_{SS}間に第1、第2及び第3のトランジスタ1、2、4を直列に接続し、且つ他の出力回路動作信号で動作させられる複数個のトランジスタ4-1～4-3を前記第3のトランジスタ4と並列に接続した。



1: 第1のスイッチング素子

2: 第2のスイッチング素子

4: 第3のスイッチング素子

4-1～4-3: 複数個のスイッチング素子

Q11: 出力端子

1

【特許請求の範囲】

【請求項1】 電圧値の異なる直流電源間で互いに直列に接続された第1、第2及び第3のスイッチング素子と、
前記第1と第2のスイッチング素子の接続点に接続された出力端子と、
を備えたことを特徴とする出力回路。

【請求項2】 電圧値の異なる直流電源間で互いに直列に接続された第1、第2及び第3のスイッチング素子と、
前記第1と第2のスイッチング素子の接続点に接続された出力端子と、
前記第3のスイッチング素子と並列に接続され、他の出力回路動作信号で動作させられる複数のスイッチング素子と、
を備えたことを特徴とする出力回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、出力回路例えば半導体メモリに用いられて出力リングングを抑圧する出力回路に関するものである。

【0002】

【従来の技術】図3は従来の出力回路を示す回路図である。このような出力回路は、例えば行ラインと列ラインの交点にメモリセルがマトリクス状に配置されたメモリセルアレイを有する半導体メモリの出力回路として用いられる。図において、1は第1のスイッチング素子例えばn型のMOSトランジスタであって、そのドレインが直流電源 V_{cc} に接続され、ゲートが上述したメモリセル（図示しない）に接続され、そしてソースが出力端子 Q_{11} に接続されている。2は第1のトランジスタ1と直列に接続された第2のスイッチング素子矢張りn型のMOSトランジスタであって、そのドレインが出力端子 Q_{11} に接続され、ゲートがインバータ3を介してメモリセルに接続され、そしてソースが他の直流電源 V_{ss} に接続されている。

【0003】次に動作について説明する。対応するメモリセルからの信号 FSI_{11} を受けて、出力端子 Q_{11} に“H（ハイ）”レベル信号を出力する場合には、信号 FSI_{11} が“H”レベルになる。これによって第1のトランジスタ1がオンとなり、 V_{cc} から電圧が供給され、出力端子 Q_{11} に“H”レベル信号が出力される。しかしながら、信号 FSI_{11} がインバータ3によって“L（ロー）”レベルの信号 $IFSI_{11}$ に反転されるので、第2のトランジスタ2はオフのままである。

【0004】出力端子 Q_{11} に“L”レベル信号を出力する場合には、信号 FSI_{11} が“L”レベルになることによって信号 $IFSI_{11}$ が“H”レベルになる。これによって第2のトランジスタ2がオンとなり、出力端子 Q_{11} の電圧が V_{ss} に抜け、出力端子 Q_{11} に“L”レベル信号

2

が出力される。なお、この場合は第1のトランジスタ1がオフである。

【0005】多出力端子化された半導体メモリ即ち8個とか16個とかの出力端子を有する半導体メモリの出力回路の問題点として、出力端子間におけるノイズの影響がある。図4は多出力端子化された半導体メモリの出力回路における、全部の出力端子と1個の出力端子での出力波形の一例を示す波形図である。例えば出力が“H”レベルから“L”レベルに変化する場合、1個の出力端子の出力のみが変化する場合（破線で示す）と、全部の出力端子の出力が変化する場合（実線で示す）とでは、“L”レベルに収束する速度が異なる。全部の出力端子の出力が同時に“H”レベルから“L”レベルに変化する場合には、出力の V_{ss} が各出力端子に共通であるため、一度に電圧を引き抜こうとしても、 V_{ss} レベルが浮き上がってしまい、完全に引き抜くまでに時間がかかる。また1個の出力端子のみの出力が“H”レベルから“L”レベルに変化する場合には、電圧を V_{ss} に引き抜き易くなるため（この場合は V_{ss} レベルの浮き上りは非常に小さいので図示しない）、反射等の出力リングングを起こし、アクセス時間の遅延を招くこととなる。

【0006】

【発明が解決しようとする課題】従来の出力回路は上述したように構成されているので、多出力端子化された出力回路では、出力端子の組み合わせによる出力リングングを起こし易くなるなどの問題点があった。

【0007】この発明は、このような問題点を解決するためになされたもので、出力リングングを抑圧できる出力回路を得ることを目的とする。

【0008】

【課題を解決するための手段】この発明の請求項1に係る出力回路は、電圧値の異なる直流電源間で互いに直列に接続された第1、第2及び第3のスイッチング素子と、前記第1と第2のスイッチング素子の接続点に接続された出力端子とを設けたものである。また、この発明の請求項2に係る出力回路は、第3のスイッチング素子と並列に接続され、他の出力回路動作信号で動作させられる複数のスイッチング素子を設けたものである。

【0009】

【作用】この発明では、第3のスイッチング素子の抵抗により“H”レベルから“L”レベルへの立ち下がりがゆっくりとなり、リングングを抑圧する。また、複数のスイッチング素子が V_{ss} に引き抜く系路を増やすので、出力リングングを抑圧するのみならず短い時間で“L”レベルに引き抜くのを可能にする。

【0010】

【実施例】実施例1. 図1はこの発明の一実施例を示す回路図である。図において、1～3、 Q_{11} 、 V_{cc} 、 V_{ss} は図3について説明したものと全く同じである。4は第2のトランジスタ2と直列に接続された第3のスイッチ

ング素子矢張りn型のMOSトランジスタであって、そのドレインが第2のトランジスタ2のソースに接続され、ゲートがインバータ3を介してメモリセルに接続され、そしてソースが V_{SS} に接続されている。4-1、4-2、4-3は第3のトランジスタ4と並列に接続され、マトリックス状の他の出力端子 Q_{12} 、 Q_{11} 、 Q_{12} （図示しない）にそれぞれ接続された第2のトランジスタ2をオンにする信号 $IFS I_{12}$ 、 $IFS I_{11}$ 、 $IFS I_{12}$ でそれぞれオンにされる複数のスイッチング素子例えばn型のMOSトランジスタである。

【0011】次に動作について説明する。全部の出力端子 Q_{11} 、 Q_{12} 、 Q_{21} 、 Q_{22} が“H”レベルにある状態から1個の出力端子例えば Q_{11} のみが“L”レベルに変化する場合、第3のトランジスタ4が第2のトランジスタ2と V_{SS} の間に接続されてその抵抗が増えたので、従来の出力回路と比較して“H”レベルから“L”レベルへの立ち下がりがゆっくりとなる。このため反射等による出力リングングを抑圧することができる。

【0012】また全部の出力端子が同時に“H”レベルから“L”レベルに変化する場合、第3のトランジスタ4と並列に接続された複数のトランジスタ4-1～4-3が出力端子 Q_{11} の電圧を V_{SS} に引き抜く系路を増やしたので、従来の出力回路より短い時間で“L”レベルになる。

【0013】図2はこの発明の一実施例の出力波形図である。上述したように、全部の出力端子の出力が“H”レベルから“L”レベルに同時に変化する場合の速度と、1個の出力端子のみの出力が“H”レベルから“L”レベルに変化する場合の速度とがほぼ同じになっていることがわかる。

【0014】実施例2. 実施例1ではスイッチング素子*

* 1, 2, 4, 4-1～4-3としてn型のMOSトランジスタを用いたが、直流電源や信号の極性を逆にすればP型のMOSトランジスタを用いることもできる。

【0015】実施例3. 更に、スイッチング素子はトランジスタに限ることなく、サイリスタ等を用いても良い。

【0016】

【発明の効果】以上のように、請求項1の発明は、電圧値の異なる直流電源間で互いに直列に接続された第1、第2及び第3のスイッチング素子と、前記第1と第2のスイッチング素子の接続点に接続された出力端子とを備えているので、複数の出力端子の組み合わせによる出力リングングを抑圧できるという効果を奏する。加えて、請求項2の発明は、第3のスイッチング素子と並列に接続され、他の出力回路動作用信号で動作させられる複数のスイッチング素子を備えているので、従来よりも短い時間で“L”レベルに引き抜け、アクセスの遅延も解消できるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の一実施例を示す回路図である。

【図2】この発明の一実施例の動作説明用波形図である。

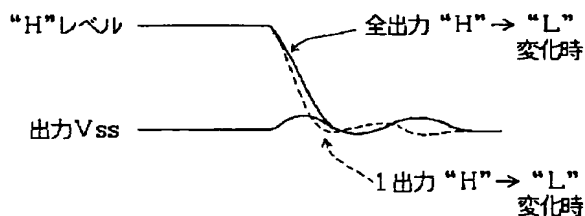
【図3】従来の出力回路を示す回路図である。

【図4】従来の出力回路の動作説明用波形図である。

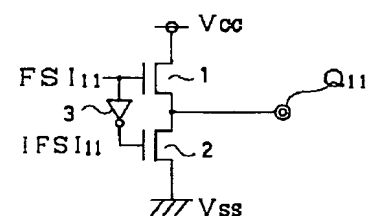
【符号の説明】

- 1 第1のスイッチング素子
- 2 第2のスイッチング素子
- 4 第3のスイッチング素子
- 4-1～4-3 複数のスイッチング素子
- 30 Q_{11} 出力端子

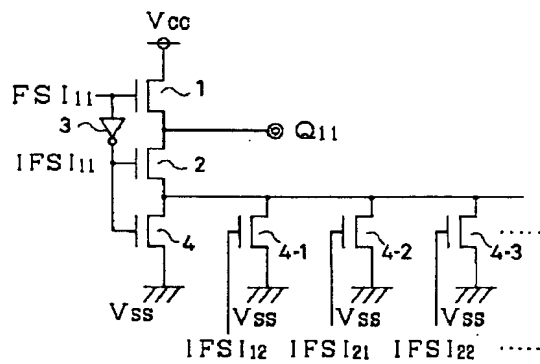
【図2】



【図3】



【図1】



- 1: 第1のスイッチング素子
- 2: 第2のスイッチング素子
- 4: 第3のスイッチング素子
- 4-1~4-3: 複数個のスイッチング素子
- Q11: 出力端子

【図4】

